

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-062585
(43)Date of publication of application : 07.03.1997

(51)Int.Cl.

G06F 12/16

(21)Application number : 07-211538
(22)Date of filing : 21.08.1995

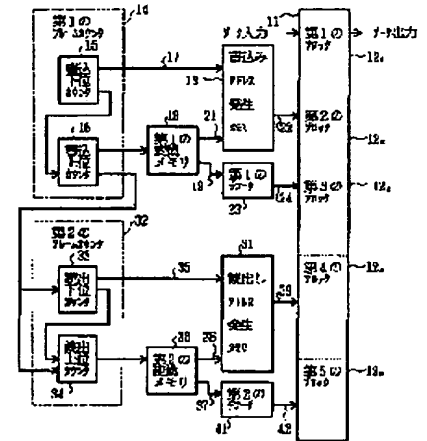
(71)Applicant : NEC CORP
(72)Inventor : IMAICHI KAZUFUMI

(54) INTERLEAVE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the scale of the address generation circuit of an interleave device.

SOLUTION: An interleave EAM 11 of N rows and M columns is divided into P blocks of N rows and M/P columns. A lower counter 15 outputs position information in the column direction in each block. An upper counter 16 counts the carry signal of the lower counter 15. A conversion memory 18 converts the counted value of the lower counter 15 to the number of a block and position information in the row direction in each block. An address generation memory 13 generates an access address in one block based on the counted value of the lower counter 15 and position information in the row direction from the conversion memory 18. A decoder 23 supplies an enable signal to the memory of the block corresponding to the block number from the conversion memory 18. As it is sufficient if an address information means outputs only address information in one block, the memory capacity is reduced and the circuit constitution is simplified.



LEGAL STATUS

[Date of request for examination] 21.08.1995
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 2827978
[Date of registration] 18.09.1998
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-62585

(43) 公開日 平成9年(1997)3月7日

(51) Int.Cl.⁸

G 0 6 F 12/16

識別記号

3 1 0

庁内整理番号

7623-5B

F I

G 0 6 F 12/16

技術表示箇所

3 1 0 A

審査請求 有 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願平7-211538

(22) 出願日 平成7年(1995)8月21日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 今市 一史

東京都港区芝五丁目7番1号 日本電気株式会社内

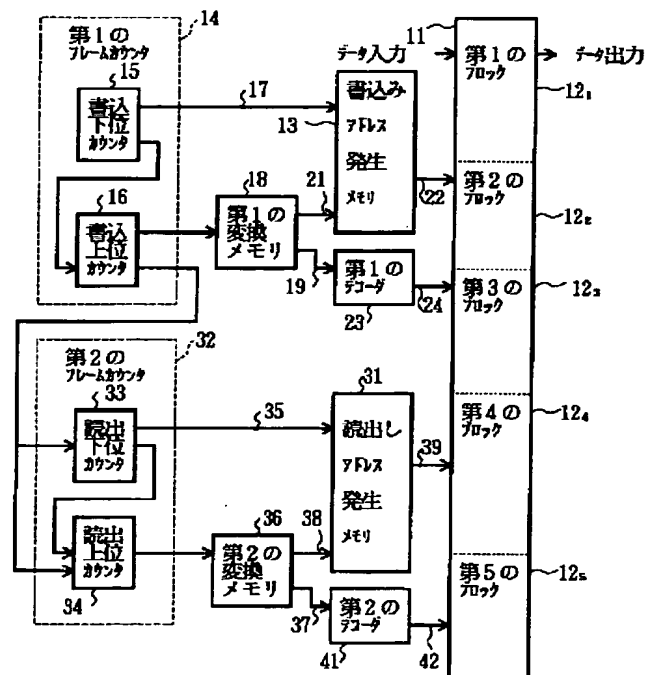
(74) 代理人 弁理士 山内 梅雄

(54) 【発明の名称】 インターリーブ装置

(57) 【要約】

【課題】 インターリーブ装置のアドレス発生回路の規模を小さくする。

【解決手段】 N行M列のインターリーブRAM 11は、N行(M/P)列のP個のブロックに分割されている。下位カウンタ15は各ブロック内での列方向の位置情報を出力する。また上位カウンタ16は、下位カウンタ15のキャリ信号を計数する。変換メモリ18は、下位カウンタ15の計数値をブロックの番号と各ブロック内における行方向の位置情報に変換する。アドレス発生メモリ13は、下位カウンタ15の計数値と変換メモリ18からの行方向の位置情報を基に、1ブロック内におけるアクセスアドレスを発生する。デコーダ23は、変換メモリ18からのブロック番号に応じたブロックのメモリにイネーブル信号を供給する。アドレス情報手段は、1ブロック内でのアドレス情報を出力するだけで良いので、メモリ容量を小さくでき回路構成を簡略化することができる。



【特許請求の範囲】

【請求項1】 $N \times M$ (N 、 M は任意の正整数) 個のデータを格納するデータ記憶手段と、
このデータ記憶手段に各データを読み書きするタイミングを表わしたクロック信号をその計数値が P (P は M の2以上の任意の約数) 分の M に達するまでの範囲で繰り返し計数する第1のカウントと、
この第1のカウントの計数値が前記 P 分の M の値に達することに1つずつカウントアップしてその計数値が $N \times P$ に達するまでの範囲を繰り返し計数する第2のカウントと、
この第2のカウントの計数値を P で除した商を表わした倍数情報と、 P で除した余りを表わしたブロック情報とに変換する計数値変換手段と、
前記第1のカウントの計数値から1を引いた値に N をかけた値とこの計数値変換手段の出力する倍数情報を足し合わせた値を前記データ記憶手段の記憶領域をそのアドレス順に P 個のブロックに等分割した場合における各ブロック内でのアドレス情報として出力するアドレス情報出力手段と、
前記計数値変換手段の出力するブロック情報の値に応じて前記 P 個のブロックのいずれか1つを指し示すブロック選択信号を出力するブロック選択信号出力手段とを具備することを特徴とするインターリーブ装置。

【請求項2】 $N \times M$ (N 、 M は任意の正整数) 個のデータを格納するデータ記憶手段と、
このデータ記憶手段に各データを読み書きするタイミングを表わしたクロック信号をその計数値が $N \times M$ を P (P は N に M をかけた値の2以上の任意の約数) 除した値を Q (Q は N に M をかけた値を P で除した値の任意の約数) で除した値である単位計数値に達するまでの範囲で繰り返し計数する第1のカウントと、
この第1のカウントが前記単位計数値まで計数することに1つずつカウントアップしその計数値が P に Q をかけた値に達するまでの範囲を繰り返し計数する第2のカウントと、
この第2のカウントの計数値を Q で除した商を表わしたブロック情報と、 Q で除した余りを表わした倍数情報とに変換する計数値変換手段と、
この計数値変換手段の出力する倍数情報に前記単位計数値をかけた値に前記第1のカウントの計数値を足し合わせた値を前記データ記憶手段の記憶領域をそのアドレス順に P 個のブロックに等分割した場合における各ブロック内でのアドレス情報として出力するアドレス情報出力手段と、
前記計数値変換手段の出力するブロック情報の値に応じて前記 P 個のブロックのいずれか1つを指し示すブロック選択信号を出力するブロック選択信号出力手段とを具備することを特徴とするインターリーブ装置。

【請求項3】 前記計数値変換手段は、第2のカウント

の計数値をアドレス情報として入力するとともに各アドレスに対応する出力値の予め登録されたメモリであることを特徴とする請求項1または請求項2記載のインターリーブ装置。

【請求項4】 前記アドレス情報出力手段は、第1のカウントの計数値をおよび前記計数値変換手段から入力される倍数情報をそれぞれアドレス情報として入力するとともに各アドレスに対応する出力値の予め登録されたメモリであることを特徴とする請求項1または請求項2記載のインターリーブ装置。

【請求項5】 前記データ記憶手段は1ブロック分の記憶領域をそれぞれ備えた複数のメモリ素子であることを特徴とする請求項1または請求項2記載のインターリーブ装置。

【請求項6】 $N \times M$ 個のデータを格納するデータ記憶手段と、
予め定められた値のダミーデータの格納されたダミーデータ格納手段と、
所定周期の第1のクロック信号を出力する第1のクロック生成手段と、

この第1のクロック信号の各周期ごとに前記データ記憶手段の記憶領域を N 行 M 列の行列としてその列方向に1列分進むごとに行方向に1だけ進むアドレス情報を順次生成する列方向優先アドレス生成手段と、
この列方向優先アドレス生成手段の生成するアドレス情報に従い所定の入力データを前記データ記憶手段に順次書き込むデータ書込手段と、
前記第1のクロック信号のよりも短い周期の第2のクロック信号を出力する第2のクロック生成手段と、

この第2のクロック信号を $N \times M$ 個よりも多い所定数まで計数する計数手段と、
この計数手段の計数値が $N \times M$ 個の予め定められた有効値のいずれかと等しいとき前記データ記憶手段の記憶領域を N 行 M 列の行列としてその行方向に1行分進むごとに列方向に1だけ進むアドレス情報を順次生成し、計数手段の計数値が前記有効値以外のとき前記ダミーデータ格納手段を選択するアドレス情報を生成する行方向優先アドレス生成手段と、

この行方向優先アドレス生成手段の生成するアドレス情報に従い前記データ記憶手段あるいはダミーデータ格納手段からデータを順次読み出すデータ読出手段とを具備することを特徴とするインターリーブ装置。

この行方向優先アドレス生成手段の生成するアドレス情報に従い前記データ記憶手段あるいはダミーデータ格納手段からデータを順次読み出すデータ読出手段とを具備することを特徴とするインターリーブ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、メモリにデータをマトリクス状の行あるいは列方向のいずれか一方を優先して書き込み、優先する行と列の方向を変えてデータを読み出すことでバースト誤りをランダム化するインターリーブ装置に係わり、特に取り扱うマトリクスのサイズの大きいインターリーブ装置に関する。

【0002】

【従来の技術】ディジタルデータの伝送において生じる誤りは、一般に誤り訂正符号によって訂正されている。しかし、伝送路での誤りは、バースト状に生じることが多いので、直接に誤り訂正符号を適用しても、バースト状の誤りを訂正する効果があり得られない。そこで、バースト誤りをランダム化するインターリーブを併用することで、誤り訂正の効果を改善することが行われている。

【0003】図3は、インターリーブを行う際のメモリのアクセス順序を表わしたものである。データを格納するメモリは N 行 \times M 列（ N 、 M は任意の正整数）のマトリクス構成になっている。たとえば、列方向101にデータを書き込み、これを行方向102に読み出すことで、伝送路で生じたバースト状の誤りが分散され、ランダムな誤りに変換することができる。これにより誤り訂正符号による訂正の効果が高められる。

【0004】特開昭63-128820号公報には、アドレス信号を生成するためのアドレスカウンタを、書き込みと読み出しで兼用することのできるインターリーブ装置が開示されている。この装置では、下位側のアドレスを生成する下位アドレスカウンタと上位側のアドレスを生成する上位アドレスカウンタを備えている。書き込み時には、下位アドレスカウンタの出力を列アドレスに、上位アドレスカウンタの出力を行アドレスに用いる。一方、読み出し時には、下位アドレスカウンタの出力を行アドレスに、上位アドレスカウンタの出力を列アドレスに用いている。

【0005】連続的にデータをインターリーブする場合には、通常、フレームメモリを2面用意され、書き込み用と読み出し用に交互に切り換えて用いられる。このようなインターリーブ装置では、2面分のフレームメモリの他に、2組のアドレス発生回路が必要になる。

【0006】特開昭-200974号公報には、1つのフレームメモリで連続的にインターリーブすることのできるインターリーブ装置が開示されている。この装置では、各メモリサイクルの前半でデータを読み出し、後半で次のフレームのデータを書き込んでいる。そして、フレーム毎に行と列を入れ換えてアドレスを発生させている。行方向で書き込まれたデータは、次回、列方向で読み出され、その際、次のフレームのデータが列方向に書き込まれる。その次の回では、列方向に書き込まれたデータが行方向に読み出される。このように、1つのフレームメモリで連続するフレームをインターリーブすることができるとともに、アドレス発生回路が1組だけで済み、回路規模の縮小が図られている。

【0007】このほか、行方向あるいは列方向でアクセスするためのアドレスをそのアクセス順に従って予めメモリ（以下、アドレス発生メモリという。）に記憶しておくインターリーブ装置がある。この装置では、カウン

タの出力値をアドレス発生メモリのアドレス情報として用い、マトリクス状にアクセスするためのアドレス信号をアドレス発生メモリから生成している。

【0008】図4は、従来から使用されているアドレス発生メモリを用いたインターリーブ装置の構成の概要を表わしたものである。第1のフレームカウンタ111は、1フレーム分の全データ数を計数するカウンタである。書き込みアドレス発生メモリ112には、第1のフレームカウンタ111の出力がアドレス信号として入力されている。インターリーブRAM（ランダム・アクセス・メモリ）113は、1フレーム分のデータを格納するメモリである。図3に示したように N 行 \times M 列のマトリクス形式で1フレーム分のデータが格納される。また、このインターリーブ装置では書き込みの際は行方向に、読み出しの際は列方向にそれぞれインターリーブRAM113をアクセスするものとする。

【0009】第1のフレームカウンタは“0”から“ $N \times M - 1$ ”までの計数を行う。また、書き込みアドレス発生メモリ112には、インターリーブRAM113を行方向にアクセスするためのアドレス情報が、アドレス“0”から順に格納されている。これにより、第1のフレームカウンタ111の計数動作に従って行方向にインターリーブRAM113をアクセスするためのアドレス情報が書き込みアドレス発生メモリ112から出力される。

【0010】第2のフレームカウンタ114には、第1のフレームカウンタ111のキャリ信号115が入力されている。キャリ信号114によりインターリーブRAM113への1フレーム分の書き込みの終了が認識され、第2のフレームカウンタ114の計数動作が開始される。第2のフレームカウンタ114も1フレーム分の全データ数を計数するようになっている。読み出しアドレス発生メモリ116には、インターリーブRAM113を列方向にアクセスするためのアドレス情報が、アドレス“0”から順に格納されている。これにより、第2のフレームカウンタ114の計数動作に従って列方向にインターリーブRAM113をアクセスするためのアドレス情報が読み出しアドレス発生メモリ116から出力される。

【0011】また、インターリーブ装置では、インターリーブして読み出したデータを、書き込み時のフレーム長と異なるフレーム長のフレームにフレーミングして出力する場合がある。

【0012】図5は、入力されるデータのフレーム構成とインターリーブ装置からフレーミングされて出力されるデータのフレーム構成の一例を表わしたものである。入力データ120（同図a）は、連続したデータであり、そのビットレートは、 X （ X は任意の整数）メガビットパーセカンドになっている。図示した連続データ120にて1フレーム121が構成されている。再フレー

ミングされて出力されるフレーミングデータ122（図b）のビットレートはY（YはXよりも大きい任意の整数）メガビットパーセカンドである。1フレーム123の時間的長さは共に同一であるので、1フレーム当たりのビット数はフレーミングデータ122が入力データ121より多くなっている。フレーミングデータ122は、所定の長さのデータシンボル124ごとに区分けされている。入力データのフレーム121のビット数と、フレーミングデータ122のビット数の差を埋めるために、各データシンボル124の有効データ125の後ろに、ダミーの無効データ126が挿入されている。

【0013】図6は、従来から使用されているインターリーブしたデータをフレーミングして出力するインターリーブ装置の構成の概要を表わしたものである。このインターリーブ装置は、入力されたデータをインターリーブするインターリーブ部131と、インターリーブ部131でインターリーブされたデータをフレーミングするフレーミング部132とから構成されている。インターリーブ部131の図4に示したものと同一で、対応する部分に図4と同一の番号を付してあるので、その説明を適宜省略する。フレーミングRAM133は、図5

(b)に示したフレーミングデータを1フレーム分格納するメモリである。書き込みアドレス発生メモリ134は、フレーミングRAM133への書き込みアドレスを発生するメモリである。読み出しアドレス発生メモリ135は、フレーミングRAM133からデータの読み出しを行う際のアドレスを発生するためのメモリである。

【0014】第3のフレームカウンタ136は、インターリーブ部から出力される1フレーム分の全データ数を計数するカウンタである。このカウンタのクロックは、図5(a)のデータが入力されるときは、Xメガヘルツであり、インターリーブ部131の第1および第2のフレームカウンタのクロックと同一周波数である。第4のフレームカウンタ137は、図5(b)に示したフレーミングデータの全データ数を計数するカウンタである。また、クロックの周波数はYメガヘルツである。

【0015】書き込みアドレス発生メモリ134は、図5(b)に示した有効データを書き込むためのアドレスを発生する。フレーミングRAMには、たとえば無効データとして“0”が所定のアドレスに予め格納されている。読み出しアドレス発生メモリ135は、有効データを読み出すときには対応するアドレスを出力し、無効データを読み出すときは“0”の格納されている所定のアドレスを出力するようになっている。

【0016】

【発明が解決しようとする課題】特開昭63-128820号公報および特開昭-200974号公報に開示されているインターリーブ装置では、行方向のアドレスと列方向のアドレスをそれぞれ別個のカウンタによって生成している。通常、カウンタからの出力信号は2進数で

表わされる。したがって、行方向の数と列方向の数が2のN乗でなければ、半端となった分のメモリ空間が無駄になってしまう。図4あるいは図6に示したインターリーブ装置では、カウンタの出力をアドレス発生メモリにより行方向あるいは列方向にアクセスする際のアドレス情報に変換しているため、2のN乗以外であっても、マトリクスの行列数に応じて任意にアドレスを進めることができる。しかしながら、アドレス発生メモリは1フレームの全アドレスを変換して出力しなければならないので、1フレームで取り扱うデータ数が膨大になると、アドレス発生メモリの容量がそれに応じて大きくなり、回路の大規模化を招くという問題がある。

【0017】また、フレーミングを行うインターリーブ装置では、データを格納するためのメモリとこのメモリへのアドレスを発生する回路をインターリーブ部とフレーミング部のそれぞれに用意しなければならず、回路規模が大きいという問題がある。

【0018】そこで本発明の第1の目的は、アドレス発生のための回路規模の小さいインターリーブ装置を提供することにある。

【0019】本発明の第2の目的は、インターリーブとフレーミングの双方を行うことのできる回路規模の小さいインターリーブ装置を提供することにある。

【0020】

【課題を解決するための手段】請求項1記載の発明では、 $N \times M$ （N、Mは任意の正整数）個のデータを格納するデータ記憶手段と、このデータ記憶手段に各データを読み書きするタイミングを表わしたクロック信号をその計数値がP（PはMの2以上の任意の約数）分のMに達するまでの範囲で繰り返し計数する第1のカウンタと、この第1のカウンタの計数値がP分のMの値に達するごとに1つずつカウントアップしてその計数値が $N \times P$ に達するまでの範囲を繰り返し計数する第2のカウンタと、この第2のカウンタの計数値をPで除した商を表わした倍数情報と、Pで除した余りを表わしたブロック情報とに変換する計数値変換手段と、第1のカウンタの計数値から1を引いた値にNをかけた値とこの計数値変換手段の出力する倍数情報を足し合わせた値をデータ記憶手段の記憶領域をそのアドレス順にP個のブロックに等分割した場合における各ブロック内でのアドレス情報として出力するアドレス情報出力手段と、計数値変換手段の出力するブロック情報の値に応じてP個のブロックのいずれか1つを指し示すブロック選択信号を出力するブロック選択信号出力手段とをインターリーブ装置に具備させている。

【0021】すなわち請求項1記載の発明では、 $N \times M$ 個のデータを格納する領域はN行M列のマトリクス構成になっており、これがN行（ M/P ）列のP個のブロックに分割されている。第1のカウンタは、各ブロック内における列方向の位置を表わす値を出力する。第2のカ

ウンタは第1のカウンタがP分のMまでカウントすることにより1ずつカウントアップし $N \times P$ までをカウントする。計数値変換手段は、第2のカウンタの計数値から行方向の位置とブロック情報とを出力する。アドレス情報出力手段は、第1のカウンタの計数値と計数値変換手段からの行方向の位置を表わした情報を基に、各ブロック内におけるアドレス情報を生成する。計数値変換手段からアクセスすべきブロックの情報が得られるとともにアドレス情報出力手段から1つのブロック内におけるアドレス情報が得られるので、N行M列のすべてデータを列方向に順次アクセスすることができる。

【0022】請求項2記載の発明では、 $N \times M$ (N 、 M は任意の正整数)個のデータを格納するデータ記憶手段と、このデータ記憶手段に各データを読み書きするタイミングを表わしたクロック信号をその計数値が $N \times M$ をP (P は N に M をかけた値の2以上の任意の約数)除した値をQ (Q は N に M をかけた値をPで除した値の任意の約数)で除した値である単位計数値に達するまでの範囲で繰り返し計数する第1のカウンタと、この第1のカウンタが単位計数値まで計数することにより1ずつカウントアップしその計数値がPにQをかけた値に達するまでの範囲を繰り返し計数する第2のカウンタと、この第2のカウンタの計数値をQで除した商を表わしたブロック情報と、Qで除した余りを表わした倍数情報とに変換する計数値変換手段と、この計数値変換手段の出力する倍数情報に単位計数値をかけた値に第1のカウンタの計数値を足し合わせた値をデータ記憶手段の記憶領域をそのアドレス順にP個のブロックに等分割した場合における各ブロック内でのアドレス情報として出力するアドレス情報出力手段と、計数値変換手段の出力するブロック情報の値に応じてP個のブロックのいずれか1つを指し示すブロック選択信号を出力するブロック選択信号出力手段とをインターリーブ装置に具備させている。

【0023】すなわち請求項2記載の発明では、 $N \times M$ 個のデータを格納する領域はN行M列のマトリクス構成になっており、これがN行(M/P)列のP個のブロックに分割されている。第1のカウンタは、各ブロックのQ分の1の領域における位置情報を表わす値を出力する。第2のカウンタは第1のカウンタが $(N \times M) \div (P \times Q)$ までカウントすることにより1ずつカウントアップし $P \times Q$ までをカウントする。計数値変換手段は、第2のカウンタの計数値から各ブロックのQ分の1の領域の何番目であるかを表わす倍数情報と、ブロック情報とを出力する。アドレス情報出力手段は、第1のカウンタの計数値と計数値変換手段からの倍数情報を基に1つのブロック内でのアドレス情報を生成する。計数値変換手段からアクセスすべきブロックの情報が得られるとともにアドレス情報出力手段から1つのブロック内におけるアドレス情報が得られるので、N行M列のすべてデータを行方向に順次アクセスすることができる。

【0024】請求項3記載の発明では、計数値変換手段は、第2のカウンタの計数値をアドレス情報として入力するとともに各アドレスに応じた出力値の予め登録されたメモリである。

【0025】すなわち請求項3記載の発明では、第2のカウンタの計数値がアドレス情報として入力されるメモリにそのアドレスに応じた出力値の予め登録している。

【0026】請求項4記載の発明では、アドレス情報出力手段は、第1のカウンタの計数値および計数値変換手段から入力される倍数情報をそれぞれアドレス情報として入力するとともに各アドレスに応じた出力値の予め登録されたメモリである。

【0027】すなわち請求項4記載の発明では、第1のカウンタの計数値および計数値変換手段から入力される倍数情報をそれぞれアドレス情報として入力して1ブロック分のアドレス情報をメモリから出力している。

【0028】請求項5記載の発明では、データ記憶手段は1つのブロック分の記憶領域を備えた複数のメモリ素子から構成される。

【0029】すなわち請求項5記載の発明では、インターリーブするためのメモリを各ブロックごとの複数のメモリ素子で構成している。

【0030】請求項6記載の発明では、 $N \times M$ 個のデータを格納するデータ記憶手段と、予め定められた値のダミーデータの格納されたダミーデータ格納手段と、所定周期の第1のクロック信号を出力する第1のクロック生成手段と、この第1のクロック信号の各周期ごとにデータ記憶手段の記憶領域をN行M列の行列としてその列方向に1列分進むごとに行方向に1だけ進むアドレス情報を順次生成する列方向優先アドレス生成手段と、この列方向優先アドレス生成手段の生成するアドレス情報に従い所定の入力データをデータ記憶手段に順次書き込むデータ書込手段と、第1のクロック信号のよりも短い周期の第2のクロック信号を出力する第2のクロック生成手段と、この第2のクロック信号を $N \times M$ 個よりも多い所定数まで計数する計数手段と、この計数手段の計数値が $N \times M$ 個の予め定められた有効値のいずれかと等しいときデータ記憶手段の記憶領域をN行M列の行列としてその行方向に1行分進むごとに列方向に1だけ進むアドレス情報を順次生成し、計数手段の計数値が有効値以外のときダミーデータ格納手段を選択するアドレス情報を生成する行方向優先アドレス生成手段と、この行方向優先アドレス生成手段の生成するアドレス情報に従いデータ記憶手段あるいはダミーデータ格納手段からデータを順次読み出すデータ読出手段とをインターリーブ装置に具備させている。

【0031】すなわち請求項6記載の発明では、入力される1フレーム分のデータ数よりも出力する1フレーム分のデータ数が多くなっている。そして、入力されたデータを行方向に書き込み、これを列方向に読み出す際

に、入力データとの差の分だけダミーデータを読み出ししている。

【0032】

【発明の実施の形態】図1は、本発明の一実施の形態におけるインターリーブ装置の構成の概要を表わしたものである。インターリーブRAM11は、入力データをマトリクス状に格納するメモリである。インターリーブRAM11は、1フレーム分のデータを複数のブロックに分割して記憶するようになっており、各ブロックごとに個別のメモリ素子12₁～12₅が割り当てられている。書き込みアドレス発生メモリ13はインターリーブRAM11の各ブロックにおける書き込みアドレスを発生するメモリである。第1のフレームカウンタ14は1フレームの全データ数を計数するカウンタである。第1のフレームカウンタ14は下位側を計数する書込下位カウンタ15と書込下位カウンタ15のキャリ信号を計数する書込上位カウンタ16とから構成されている。

【0033】書込下位カウンタ15は、1ブロック内における列方向の書き込み位置を表わした書込列情報17を出力する。書込上位カウンタ13の計数値は、第1の変換メモリ18に入力されている。第1の変換メモリ18は、書込上位カウンタ13の計数値を基にインターリーブRAM11のブロックを選択するための書込切換制御信号19と、各ブロック内における行方向の書き込み位置を表わした書込行情報21を出力する。書き込みアドレス発生メモリ13は、書込列情報18と書込行情報21とから1ブロック内におけるインターリーブRAM11のアクセスアドレス22を出力するようになっている。第1のデコーダ23は、第1の変換メモリ18からの書込切換制御信号19をインターリーブRAM11の各メモリ素子12₁～12₅ごとのイネーブル信号24に変換する回路である。

【0034】読み出しアドレス発生メモリ31は、インターリーブRAM11の各ブロック内における読み出しアドレスを発生するメモリである。第2のフレームカウンタ32は、1フレームの全データ数を計数するカウンタである。第2のフレームカウンタ32は下位側を計数する読出下位カウンタ33と読出下位カウンタ33のキャリ信号を計数する読出上位カウンタ34とから構成されている。読出下位カウンタ33は、1ブロック内における行方向の読み出し位置を表わした読出行情報35を出力する。

【0035】上位カウンタ34の計数値は、第2の変換メモリ36に入力されている。第2の変換メモリ36は、読出上位カウンタ34の計数値を基にインターリーブRAM11のブロックを選択するための読出切換制御信号37と、各ブロック内における列方向の読み出し位置を表わした読出列情報38を出力する。読み出しアドレス発生メモリ31は、読出行情報35と読出列情報38とから1ブロック内におけるインターリーブRAM1

1のアクセスアドレス39を出力するようになっている。第2のデコーダ41は、第2の変換メモリ36からの読出切換制御信号37をインターリーブRAM11の各メモリ素子12₁～12₅ごとのイネーブル信号42に変換する回路である。

【0036】図2は、インターリーブRAMの各ブロックの構成を表わしたものである。インターリーブRAMには、N行M列のマトリクス51が形成されている。マトリクス51は、N行(M/P)列(Pは任意の整数)のP個のブロック52₁～52_pに分割されている。書き込みは列方向53に行われ、読み出しは行方向54に行われる。

【0037】まず、書き込み動作について説明する。

【0038】1フレーム分のマトリクスがN行M列であり、これを図2に示すようにP個のブロックに分けているものとす。ここで書込下位カウンタの最大計数値をWCL、書込上位カウンタの最大計数値をWCHとすると、それぞれのカウンタの最大計数値は次式で表される。

$$WCL = M/P \quad (1)$$

$$WCH = N \times M / WCL = N \times P \quad (2)$$

書込下位カウンタ15がWCLまでカウントすると、キャリ信号が出力される。書込上位カウンタ16は、書込下位カウンタからキャリ信号が入力されるごとに1ずつカウントアップし、WCHまでカウントする。書込下位カウンタ15はWCLまでカウントすると初期値に戻り、再びカウントを続ける。また書込上位カウンタ16はWCHまでカウントすると初期値に戻り、カウントを続ける。

【0039】書込下位カウンタ15は、各ブロックにおける列情報を繰り返し出力する。すなわち、“1”から“M/P”までの値を繰り返し順次出力する。書込上位カウンタ16は、書込下位カウンタ15が“M/P”までカウントするごとに1ずつカウントアップして“N×P”までの値を繰り返し順次出力する。第1の変換メモリ18は、書込上位カウンタ16の値を“P”で除した商の値を書込行情報21として、また“P”で除した余りを書込切換制御信号19として出力する。

【0040】書込アドレス発生メモリ13は、書込下位カウンタ15からの書込列情報17と、第1の変換メモリ18からの書込行情報21とを基にして、インターリーブRAM11の各ブロックにおけるアクセスアドレスを生成する。すなわち、書込下位カウンタ15の計数値から1を引いた値にNをかけた値と第1の変換メモリ18からの行情報21を足し合わせた値をインターリーブRAM11の各ブロック内でのアドレス情報として出力する。第1のデコーダ23は、第1の変換メモリ18からの書込切換制御信号19の値をデコードとして各ブロックごとのイネーブル信号に変換する。すなわち、2進数で表される書込切換制御信号19が“10”であれ

ば、第3番目のブロック(図2、523)のメモリ素子にイネーブル信号を出力する。このように、書込アドレス発生メモリは、1つのブロックにおけるアクセスアドレスを発生すればよいので、必要なメモリ容量を削減することができる。

【0041】次に、読み出し動作について説明する。

$$1 \text{ ブロックのデータ数} = RCL \times X$$

ここでXは任意の正整数である。1ブロックのデータ数は $(N \times M / P)$ であるので、これを(3)式に代入す

$$(N \times M / P) = RCL \times X$$

これを变形すると次式が得られる。

$$RCL = (N \times M) \div (P \times X)$$

また、RCLとRCHをかけ合わせたものが、1フレー

$$N \times M = RCL \times RCH$$

(6)式を(5)式に代入するとXは次式となる。

$$X = RCH / P$$

すなわち、RCHと、RCLの値は(6)式と(7)式を満たせばよい。

【0043】読み出しが開始されると、メモリサイクルごとに読出下位カウンタ33は“1”からRCLまでの値を順次繰り返し計数する。読出上位カウンタ34は、読出下位カウンタ33がRCLまでカウントしてキャリ信号が入力されるごとに1ずつカウントアップし、RCHまでの値を繰り返し計数する。第2の変換メモリ33は、読出上位カウンタ34の計数値を(7)式で示したXで除した余りを読出列情報38として出力する。また読出上位カウンタ34の計数値をXで除した商の値を読出切換制御信号37として出力する。

【0044】読み出しアドレス発生メモリ31は、読出下位カウンタ33の計数値である読出行情報35と、第2の変換メモリ36からの読出列情報38とから、1ブロック内におけるアクセスアドレス39を出力する。すなわち、読出列情報38の値にRCLを掛けたものに読出下位カウンタ33の計数値を足したものを1ブロック内のアクセスアドレスとして出力する。第2のデコーダ41は、読出切換制御信号37をデコードして各ブロックのメモリ素子についてのイネーブル信号42を出力する。

【0045】次に、入力されるデータのフレーム長と異なるフレーム長にフレーミングしてインターリーブされたデータを出力するインターリーブ装置について説明する。

【0046】図5(a)に示した入力データを同図(b)の形式にフレーミングして出力するものとする。このインターリーブ装置の図1とその回路構成は同一であるのである。ただし、第1のフレームカウンタ14のクロック周波数は、Xメガヘルツであり、第2のフレームカウンタのクロック周波数はYメガヘルツである。また、読出下位カウンタ33と読出上位カウンタ34の最大計数値と、読出アドレス発生メモリと第2の変換メモ

【0042】読み出しは、行方向に行われる。したがって、1ブロック分のデータを読み出すごとにブロックを切り換えることになる。読出下位カウンタ33の最大計数値をRCLと、読出上位カウンタ34の最大計数値をRCHとすると、これらの値は次式を満足する。

$$(3)$$

と次式になる。

$$(4)$$

$$(5)$$

ム分のデータ数であるので次式の関係が成立する。

$$(6)$$

$$(7)$$

り36の記憶内容が図1の回路に比べて相違している。インターリーブRAM11への書き込みは列方向に行われ、読み出しは行方向に行われる。

【0047】読出下位カウンタ33の最大計数値は、図5(b)に示した各データシンボルにおけるデータ数になっている。また読出上位カウンタ34の最大計数値は、1フレーム内におけるデータシンボルの数になっている。さらに、インターリーブRAM11の所定のアドレスに、無効データとしてたとえば“0”が予め登録されている。この領域には、入力データが書き込まれないようになっている。

【0048】読出上位カウンタ34からのデータシンボル数の計数値を基にして、第2の変換メモリ36は、当該データシンボルの格納されているインターリーブRAMのブロック(メモリ素子)を表わした読出切換信号37を出力する。また、第2の変換メモリ36から、1つのブロック内におけるデータシンボルの番号が出力される。読み出しアドレス発生メモリ31は、読出下位カウンタ33の計数値である1つのデータシンボルの読出番号と、第2の変換メモリ36からの1つのブロック内におけるデータシンボルの番号を1つのブロック内におけるインターリーブRAMのアクセスアドレスを出力する。この際、読出下位カウンタ33の計数値が1つのデータシンボル内における有効データ部分に対応する値であるときは、有効データを行方向に読み出すためのアドレス情報を出力する。一方、読出下位カウンタ33の計数値が無効データ部分に対応する値のときは、無効データの格納されているアドレスを出力する。

【0049】第2のデコーダ41は、第2の変換メモリ36からの読出切換制御信号37をデコードし、インターリーブRAM11の各ブロックのメモリ素子へのイネーブル信号を出力する。たとえば、1つのブロックに5個のデータシンボルが含まれるときは、第2の変換メモリ36は、読出切換制御信号37として、読出上位カウ

ンタ34が“5”だけカウントアップすることに1ずつ増加し、かつブロック数の値までを繰り返し出力する。第2のデコーダ41は、この値に対応するブロックのメモリ素子にイネーブル信号を出力する。すなわち、データシンボル5個ごとにイネーブルとなるメモリ素子を切り換える。

【0050】このように、インターリーブRAM11から行方向にデータを読み出すときにフレーミングを同時に行うので、インターリーブRAMは1フレーム分だけ用意すれば良い。また、書き込み用と読み出し用のアドレス発生回路が1組だけで済み、回路構成の簡略化を図ることができる。さらに、読み出しアドレス発生メモリは1つのブロック内におけるデータ数を取り扱うだけでよいので、その容量を削減することができる。

【0051】以上説明した実施の形態では、変換メモリを用いて、行情報と切換制御信号を生成したが、2個のカウンタでこれらの信号を生成することもできる。たとえば、書込下位カウンタがM/Pまで計数するとすると、そのキャリ信号をP個まで繰り返しカウントするカウンタにより、ブロックの切換制御信号を生成する。また、切換信号を出力するカウンタのキャリ信号をNまで繰り返し計数するカウンタによって行情報を生成させることができる。

【0052】また実施の形態では、インターリーブRAMを各ブロックごとに個別のメモリ素子を用いることにしたが、1つのメモリ素子に1フレーム分のデータを格納するようにしてもよい。この場合には、変換メモリの出力する切換制御信号をそのままインターリーブRAMへの上位アドレスとして用いればよい。インターリーブRAMのブロック数は2以上の任意の数で良いが、ブロック数を多くすればそれだけ、アドレス発生メモリの容量を少なくすることができる。

【0053】

【発明の効果】このように請求項1および請求項2記載の発明によれば、第1および第2のカウンタに分けて各カウンタの計数値を基に、N行M列の記憶領域のアドレス情報を、P個のブロックに分割した場合におけるブロックの情報と各ブロック内でのアドレス情報に分けて生成している。これにより、アドレス情報手段は、1ブロック内でのアドレス情報を出力するだけで良いので、その回路構成を簡略化することができる。特に、アドレス生成をメモリで行う場合には、その容量を大幅に削減することができる。

【0054】また請求項3記載の発明によれば、計数値変換手段を第2のカウンタの計数値をそのアドレス情報として入力し、各アドレスに応じた出力値を予め登録したメモリとしたので、回路構成の簡略化を図ることがで

きる。

【0055】さらに請求項4記載の発明によれば、アドレス情報出力手段として、第1のカウンタの計数値および計数値変換手段から入力される倍数情報をそれぞれアドレス情報として入力し、各アドレスに応じた出力値を予め登録したメモリを用いている。これにより1ブロック分のアドレス情報への変換を容易に行うことができ、回路構成の簡略化を図ることができる。また、アドレス情報出力手段は1ブロック分のアドレス情報を出力するだけでよいので、その記憶容量を削減することができる。

【0056】また請求項5記載の発明によれば、各ブロックごとにメモリ素子を分けたので、各フレームのデータサイズが大きくてもインターリーブすることができる。

【0057】さらに請求項6記載の発明によれば、インターリーブして読み出す際に、書き込みと読み出しのクロック信号の周期の違い、すなわち書き込みと読み出しのフレームサイズの差分に相当する数だけのダミーデータを付加している。これにより、インターリーブ用とフレーミング用のメモリを共用することができる。また、アドレス発生回路を1組用意するだけでよく、回路規模を小さくすることができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態におけるインターリーブ装置の構成の概要を表わしたブロック図である。

【図2】インターリーブRAMの各ブロックの構成を表わした説明図である。

【図3】インターリーブする際のメモリのアクセス順序を表わした説明図である。

【図4】従来から使用されているアドレス発生メモリを用いたインターリーブ装置の構成の概要を表わしたブロック図である。

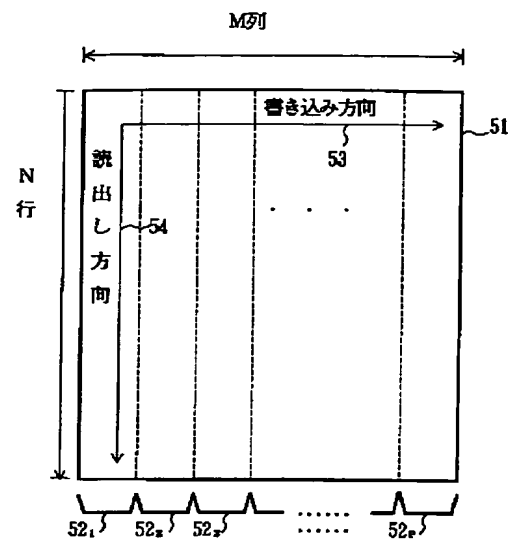
【図5】入力されるデータのフレーム構成とインターリーブ装置からフレーミングされて出力されるデータのフレーム構成の一例を表わした説明図である。

【図6】従来から使用されているインターリーブしたデータをフレーミングして出力するインターリーブ装置の構成の概要を表わしたブロック図である。

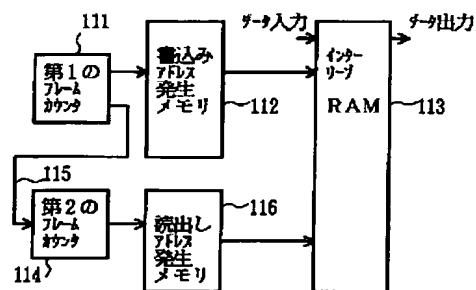
【符号の説明】

- 11 インターリーブRAM
- 12 ブロック
- 13 書き込みアドレス発生メモリ
- 15、16、33、34 カウンタ
- 18、36 変換メモリ
- 23、41 デコーダ
- 31 読み出しアドレス発生メモリ

【図 2】



【図4】



【図6】

